

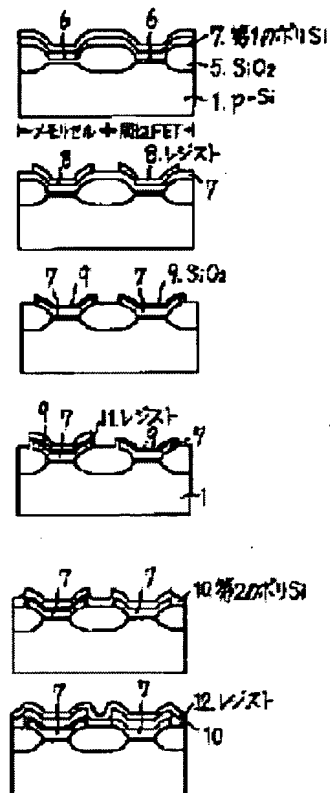
## MANUFACTURE OF SEMICONDUCTOR DEVICE

**Patent number:** JP5048046  
**Publication date:** 1993-02-26  
**Inventor:** IMURA HAJIME; YOSHIDA MASANOBU  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - International: H01L27/115; H01L29/788; H01L29/792  
 - european: H01L21/8247M2P1G  
**Application number:** JP19910201033 19910812  
**Priority number(s):** JP19910201033 19910812

Report a data error here

### Abstract of JP5048046

**PURPOSE:** To eliminate the need for the double coating of a resist and to prevent the erroneous etching of a memory cell section by simultaneously etching first and second gate material films by the same resist mask and forming both gates of the memory cell section with a floating gate and a peripheral FET.  
**CONSTITUTION:** A first gate material film 7 is applied onto a substrate 1 through a gate insulating film 6, and first resist films 8 are formed to the floating gate section of a two-layer gate FET and one-layer gate FET section. The first gate material film is etched while using the first resist films 8 as masks, insulating films 9 are formed onto the surfaces of the first residual gate materials 7, and a second resist film 11 is shaped to the two-layer gate FET section. The insulating film is etched while using the second resist film 11 as a mask and a second gate material 10 is applied, and a third resist film 12 is formed on the control gate section of the two-layer gate FET and the gate section of one-layer gate FET. The second gate material and the first gate material are etched while employing the third resist film 12 as a mask.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-48046

(43) 公開日 平成5年(1993)2月26日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

29/788

29/792

8831-4M

8225-4M

H 0 1 L 27/10

29/78

4 3 4

3 7 1

審査請求 未請求 請求項の数 1 (全 7 頁)

(21) 出願番号

特願平3-201033

(22) 出願日

平成3年(1991)8月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 居村 肇

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 吉田 正信

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

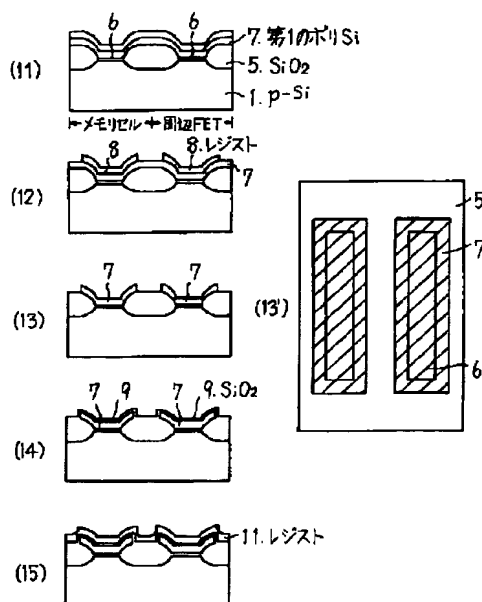
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 不揮発性メモリの製造方法に関し、レジストの二重塗布の不要な工程を提供し、メモリセル部の誤エッチングを防止することを目的とする。

【構成】 基板1上にゲート絶縁膜6を介して第1のゲート材料膜7を被着し、2層ゲートFETの浮遊ゲート部と1層ゲートFET部に第1のレジスト膜8を形成し、第1のレジスト膜8をマスクにして、第1のゲート材料膜7をエッチングし、残った第1のゲート材料膜7の表面に絶縁膜9を形成し、2層ゲートFET部に第2のレジスト膜11を形成し、第2のレジスト膜をマスクにして該絶縁膜9をエッチングし、基板上に第2のゲート材料膜10を被着し、2層ゲートFETの制御ゲート部および1層ゲートFETのゲート部に第3のレジスト膜12を形成し、第3のレジスト膜をマスクにして、第2のゲート材料膜および第1のゲート材料膜をエッチングように構成する。

実施例の説明図(1)



1

## 【特許請求の範囲】

【請求項1】 浮遊ゲートと制御ゲートからなる2層ゲート電界効果トランジスタ(FET)と制御ゲートのみからなる1層ゲートFETを同一半導体基板(1)上に形成する際、

該基板(1)上にゲート絶縁膜(6)を介して第1のゲート材料膜(7)を被着する工程と、

2層ゲートFETの浮遊ゲート部と1層ゲートFET部に第1のレジスト膜(8)を形成する工程と、

該第1のレジスト膜(8)をマスクにして、該第1のゲート材料膜(7)をエッチングし、該第1のレジスト膜(8)を剥離する工程と、

残った該第1のゲート材料膜(7)の表面に絶縁膜(9)を形成する工程と、

2層ゲートFET部に第2のレジスト膜(11)を形成する工程と、

該第2のレジスト膜(11)をマスクにして該絶縁膜(9)をエッチングし、該第2のレジスト膜(11)を剥離する工程と、

該基板上に第2のゲート材料膜(10)を被着する工程と、

2層ゲートFETの制御ゲート部および1層ゲートFETのゲート部に第3のレジスト膜(12)を形成する工程と、

該第3のレジスト膜(12)をマスクにして、該第2のゲート材料膜(10)および該第1のゲート材料膜(7)をエッチングし、該第3のレジスト膜(12)を剥離する工程と、

形成された各ゲートに自己整合して、該基板に不純物を導入して各FETのソースドレインを形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に不揮発性メモリの浮遊ゲートを有する半導体装置の製造方法に関する。

【0002】 不揮発性メモリはEPROM、EEPROM、フラッシュ（一括消去）EEPROM等FETの通常の制御ゲートの下に浮遊ゲートが設けられ、浮遊ゲートに蓄積する電荷の有無により情報を記憶するデバイスであるが、通常の制御ゲートのみを有するシングルゲートのデバイスに比して工程は複雑になり、安定なプロセスが要求されている。

【0003】 本発明はこの要求に対処した方法として利用できる。

## 【0004】

【従来の技術】 浮遊ゲートを有するメモリセル部と周辺回路のシングルゲートを有するFETの製法の従来例について説明する。

【0005】 以下各図番の次の(1)、(2)、・・・のプロセスを、工程(1)、工程(2)、・・・と表現する。図6～図11は従来例の説明図である。

【0006】 図6(1)において、p型シリコン(p-Si)基

2

板1上に自然酸化膜( $\text{SiO}_2$ 膜)2が形成されている。図6(2)において、気相成長(CVD)法により、基板上に窒化シリコン( $\text{Si}_3\text{N}_4$ )膜3を成長する。

【0007】 図6(3)において、基板上にレジスト膜4を塗布する。図6(4)において、通常のリソグラフィ工程により、レジスト膜4をFET形成領域のみを残す。

【0008】 図6(5)において、残ったレジスト膜4をマスクにして、 $\text{Si}_3\text{N}_4$ 膜3をエッチングし、次いでレジスト膜4を剥離する。図7(6)において、残った $\text{Si}_3\text{N}_4$ 膜3をマスクにして、基板を熱酸化して分離絶縁膜として厚さ10000Åの $\text{SiO}_2$ 膜5を形成する。

【0009】 図7(7)において、基板上の $\text{Si}_3\text{N}_4$ 膜3をエッチング除去する。図7(8)において、 $\text{SiO}_2$ 膜2をエッチング除去する。図7(9)において、基板上にゲート絶縁膜として、熱酸化による厚さ350Åの $\text{SiO}_2$ 膜6を形成する。

【0010】 図7(10)において、CVD法により、基板上に厚さ3000Åの第1のポリシリコン膜7を成長する。図8(11)において、基板上にレジスト膜8を塗布する。

【0011】 図8(12)において、リソグラフィ工程により、レジスト膜8を浮遊ゲートを有する素子の形成領域のみを残す。図8(13)において、残ったレジスト膜8をマスクにして、第1のポリシリコン膜7をエッチングし、次いでレジスト膜8を剥離する。

【0012】 図8(14)において、基板を熱酸化して、残った第1のポリシリコン膜7上に厚さ300Åの $\text{SiO}_2$ 膜9を形成する。図8(15)において、CVD法により、基板上に厚さ3000Åの第2のポリシリコン膜10を成長する。

【0013】 図9(16)において、基板上にレジスト膜（レジストA）11を塗布する。図9(17)において、リソグラフィ工程により、レジスト膜11をメモリセルの制御ゲートとメモリセル以外のFETのゲートとなる領域のみを残す。

【0014】 図9(18)において、残ったレジスト膜11をマスクにして、第2のポリシリコン膜10をエッチングする。図9(19)において、基板上にレジスト膜（レジストB）12を塗布する。

【0015】 図9(20)において、リソグラフィ工程により、レジスト膜12のメモリセルのソースドレイン領域を除去し、それ以外の領域を残す（レジスト開口部は断面図に表れないが、図4の平面図のレジスト膜12参照）。

【0016】 次いで、残ったレジスト膜12をマスクにして、第1のポリシリコン膜7をエッチングする。図10(21)において、レジスト膜12を剥離する。

【0017】 図10(A)(B)(C)はそれぞれA-A断面、B-B断面、C-C断面である。図11(22)において、ゲートに自己整合して、基板に砒素イオン( $\text{As}^+$ )を注入して各FETのソースドレインを形成する。

【0018】 図11(A)(B)(C)はそれぞれA-A断面、B-

3

B断面、C-C断面である。以上で従来工程が終了する。次に、上記工程の内容を補足する。

【0019】上記の工程(16)でレジストAを塗布後、工程(17)で現像する。次いで工程(18)で第2のポリシリコン膜のエッチングを行い、レジストAを剥離しないでそのまま工程(19)でレジストBを塗布し、工程(20)で現像する。

【0020】この工程(19)および工程(20)を行わないと、周辺回路のFETのソースドレイン領域となる基板表面が荒れ、将来のコンタクトに支障をきたす。そこで、周辺回路のFETのソースドレイン領域となる基板表面を保護するために、剥離しないでおいた工程(18)のレジストAの上に、さらに工程(19)および工程(20)で周辺回路のFETのソースドレイン領域となる基板表面をレジストBで保護している。

【0021】

【発明が解決しようとする課題】しかしながら、最近のデバイスの微細化に伴い工程(20)でレジストが強度的に弱くなっており、特にメモリセル部のレジストAが弱く、工程(20)でレジストBを現像する際、セル部の工程(16)以来残っているレジストAからなるマスクが剥落してしまうという問題が生じた。

【0022】この剥落の起きると、工程(20)の第1のポリシリコン膜のエッチングによって、剥落の起きたメモリセルが誤ってエッチングされてしまい好ましくない。つまり、従来工程では周辺FETを保護する目的でレジストA上にレジストBの二重塗布を行う限り、レジストAの剥落によるメモリセル部の誤エッチングは避けられなかった。

【0023】本発明はレジストの二重塗布の不要な工程を提供し、メモリセル部の誤エッチングを防止することを目的とする。

【0024】

【課題を解決するための手段】上記課題の解決は、浮遊ゲートと制御ゲートからなる2層ゲートFETと制御ゲートのみからなる1層ゲートFETを同一半導体基板(1)上に形成する際、該基板(1)上にゲート絶縁膜(6)を介して第1のゲート材料膜(7)を被着する工程と、2層ゲートFETの浮遊ゲート部と1層ゲートFET部に第1のレジスト膜(8)を形成する工程と、該第1のレジスト膜(8)をマスクにして、該第1のゲート材料膜(7)をエッチングし、該第1のレジスト膜(8)を剥離する工程と、残った該第1のゲート材料膜(7)の表面に絶縁膜(9)を形成する工程と、2層ゲートFET部に第2のレジスト膜(11)を形成する工程と、該第2のレジスト膜(11)をマスクにして該絶縁膜(9)をエッチングし、該第2のレジスト膜(11)を剥離する工程と、該基板上に第2のゲート材料膜(10)を被着する工程と、2層ゲートFETの制御ゲート部および1層ゲートFETのゲート部に第3のレジスト膜(12)を形成する工程と、該第3のレジスト膜(12)をマスク

4

にして、該第2のゲート材料膜(10)および該第1のゲート材料膜(7)をエッチングし、該第3のレジスト膜(12)を剥離する工程と、形成された各ゲートに自己整合して、該基板に不純物を導入して各FETのソースドレインを形成する工程とを有する半導体装置の製造方法により達成される。

【0025】

【作用】本発明は第1、第2のゲート材料膜を同一レジストマスクで同時にエッチングして浮遊ゲートを有するメモリセル部と周辺FETの両方のゲートを形成することにより、レジストの二重塗布を不要としたものである。

【0026】そのために、浮遊ゲートを有するメモリセル部は第1、第2のゲート材料膜間に薄い酸化膜を挟み、周辺FETは第1、第2のゲート材料膜を重ねてゲートを形成し、両方のゲートの厚さを実質的に等しくしている。

【0027】

【実施例】図1～図3は本発明の実施例の説明図である。図1(11)において、工程(11)までは従来例と同様である。

【0028】図1(12)において、浮遊ゲートとなる箇所と周辺FETとなる箇所に第1のレジスト膜8を残す。図1(13)において、残ったレジスト膜8をマスクにして、第1のゲート材料膜としての第1のポリシリコン膜7をエッチングし、第1のレジスト膜8を剥離する。図1(13')は平面図である。

【0029】図1(14)において、残った第1のポリシリコン膜7の表面に絶縁膜として熱酸化による厚さ300ÅのSiO<sub>2</sub>膜9を形成する。図1(15)において、基板上に第2のレジスト膜(レジストA)11を塗布する。

【0030】図2(16)において、リソグラフィ工程によりメモリセル部のみ第2のレジスト膜11を残す。図2(17)において、残ったレジストA膜11をマスクにしてSiO<sub>2</sub>膜9をエッチングし、第2のレジスト膜11を剥離する。

【0031】図2(18)において、CVD法により、基板上に第2のゲート材料膜として厚さ3000Åの第2のポリシリコン膜10を成長する。図2(19)において、基板上に第3のレジスト膜(レジストB)12を塗布する。

【0032】図2(20)において、リソグラフィ工程により、メモリセル部の制御ゲートおよび周辺回路のFETのゲート部に第3のレジスト膜12を残す。次いで、残った第3のレジスト膜12をマスクにして、第1および第2のポリシリコン膜をエッチングする。

【0033】図2(21)において、第3のレジスト膜12を剥離する。図3(22)において、ゲートに自己整合して、基板に砒素イオン(As<sup>+</sup>)を注入して各FETのソースドレインを形成する。

【0034】図3(A)(B)(C)はそれぞれA-A断面、B-B断面、C-C断面である。以上で実施例の工程を終了する。実施例の工程は次のような特徴を持つ。

5

【0035】① 工程(12)

レジストを残す箇所が、従来例ではメモリセル部だけであったが、実施例では周辺FET 部もレジストを残す。

【0036】② 工程(17), (18)

第1のポリシリコン膜が除去されたことにより、周辺FET のゲート材料は一つにまとまる(図5参照)。

【0037】③ 工程(19)

メモリセル部および周辺FET 部のマスクは、従来例のように二重塗布を必要としないで、1回のレジスト塗布で形成できるようになる。

【0038】そのため、レジスト材料の物理的、化学的耐性が従来例と同様であっても、レジスト剥落の発生は大幅に減る。メモリセル部の浮遊ゲートと制御ゲート間の酸化膜は、ポリシリコン膜に比べて非常に薄く、両ゲートを合わせた高さは周辺FET のゲートの高さと同じと見做すことができる。

【0039】そのため、レジストの二重塗布なしで、メモリセル部の浮遊ゲートと制御ゲートおよび周辺FET のゲートを同時に等しいエッチング比でエッチングできる。このことから、メモリセル部の浮遊ゲートと制御ゲートおよび周辺FET のゲートを形成するためのエッチング工程で必要となるレジストは1回だけ使えばよいことが分かる。

【0040】その結果、実施例の工程(21)でのマスクとなるレジストは従来例のレジストAに比し剥落に強いものとなる。図4、5は従来例と対比して実施例の効果を説明する図である。

【0041】図4(A)、(B)、(C)は従来例のレジストの状態の説明図である。図4(A)は平面図、図4(B)はA-A断面でメモリセル部の断面図、図4(C)はB-B断面で、

周辺FET 部の断面図である。

【0042】レジストA膜11の上にレジストB膜12が二重塗布されている状態が示されている。レジストA膜11はパターン幅が狭く、工程(16)~(21)にさらされて剥離しやすい。

【0043】この従来例では、ゲート酸化膜6は周辺FET 部の方をメモリセル部より厚くしている。図5(A)、(B)、(C)は実施例のレジストの状態の説明図である。

【0044】図5(A)は平面図、図5(B)はA-A断面でメモリセル部の断面図、図5(C)はB-B断面で、周辺FET

6

T 部の断面図である。レジストB膜12のみをマスクにして、第1のポリシリコン膜7と第2のポリシリコン膜10を同時にエッチングしてメモリセル部の浮遊ゲートと制御ゲートおよび周辺FET のゲートを形成している。

【0045】このことは、各ゲートのポリシリコン膜の厚さが等しいためエッチングが可能となり、これによってレジストの二重塗布は不要となる。この実施例では、ゲート酸化膜6は周辺FET とメモリセル部とを等しくしている。

10 【0046】

【発明の効果】浮遊ゲートを有するFET とシングルゲートのFET を同一半導体基板上に形成する際、レジストの二重塗布不要の工程が得られ、メモリセル部の誤エッチングを防止することができた。

【図面の簡単な説明】

【図1】 本発明の実施例の説明図(1)

【図2】 本発明の実施例の説明図(2)

【図3】 本発明の実施例の説明図(3)

【図4】 従来例のレジストの状態の説明図

20 【図5】 実施例のレジストの状態の説明図

【図6】 従来例の説明図(1)

【図7】 従来例の説明図(2)

【図8】 従来例の説明図(3)

【図9】 従来例の説明図(4)

【図10】 従来例の説明図(5)

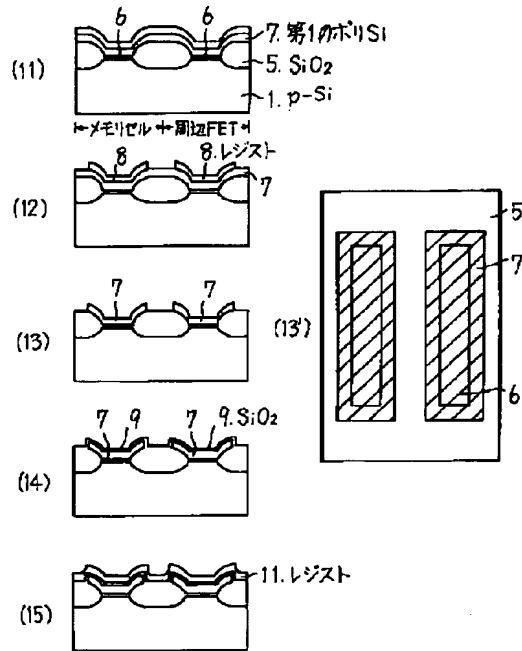
【図11】 従来例の説明図(6)

【符号の説明】

- 1 p-Si基板、
- 2 自然酸化膜
- 3  $\text{Si}_3\text{N}_4$  膜
- 4 第1のレジスト膜
- 5 分離絶縁膜で $\text{SiO}_2$ 膜
- 6 ゲート絶縁膜で $\text{SiO}_2$ 膜
- 7 第1のポリシリコン膜
- 8 レジスト膜
- 9 熱酸化により第1のポリシリコン膜上に形成した $\text{SiO}_2$ 膜
- 10 第2のポリシリコン膜
- 11 第2のレジスト膜(レジストA)
- 40 12 第3のレジスト膜(レジストB)

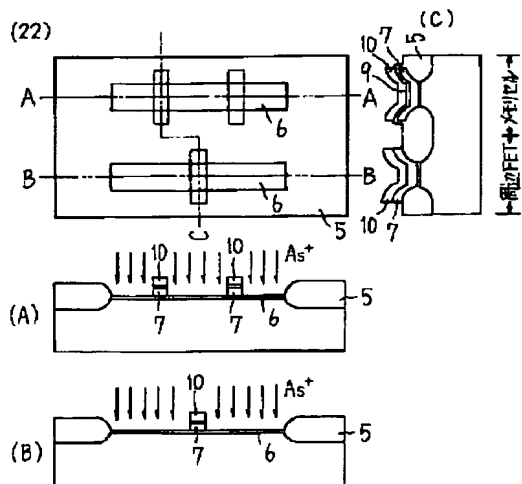
【図1】

実施例の説明図(1)



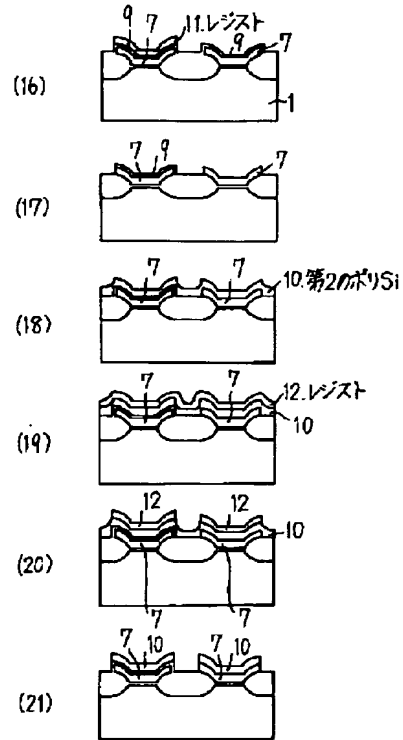
【図3】

実施例の説明図(3)



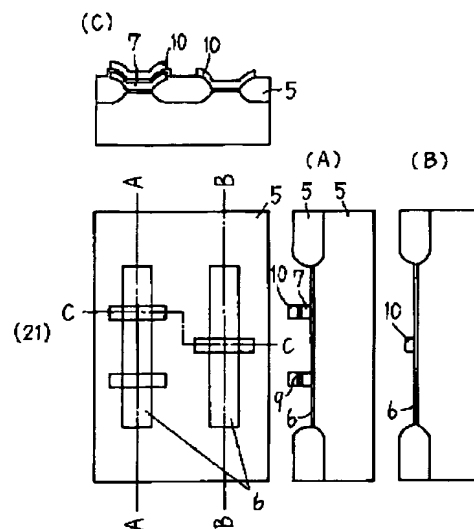
【図2】

実施例の説明図(2)



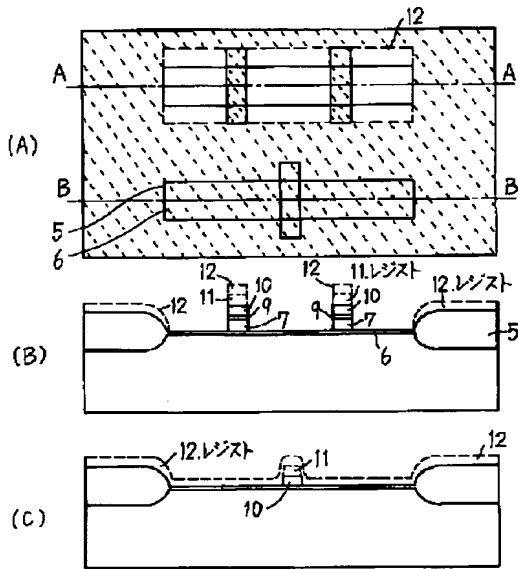
【図10】

従来例の説明図(5)



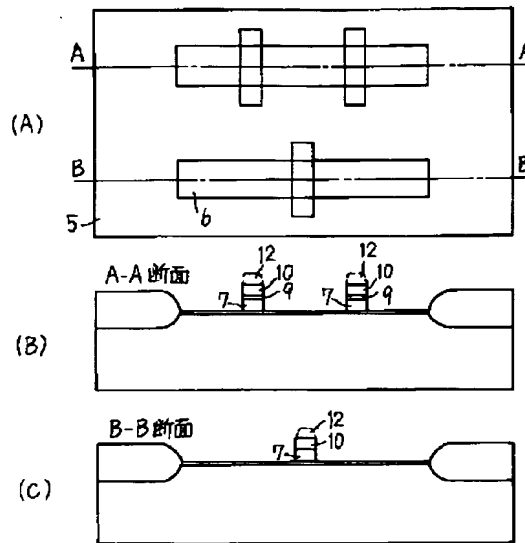
【図4】

従来例のレジスト状態の説明図



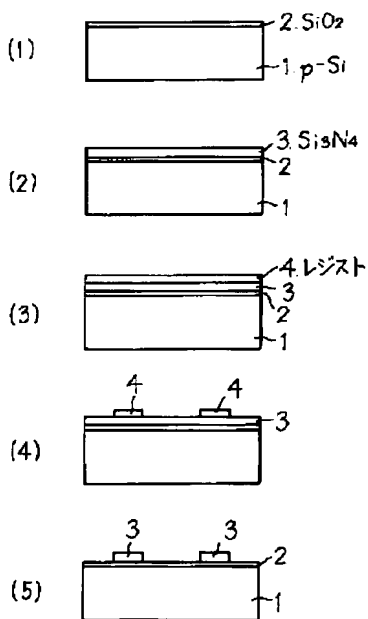
【図5】

実施例のレジスト状態の説明図



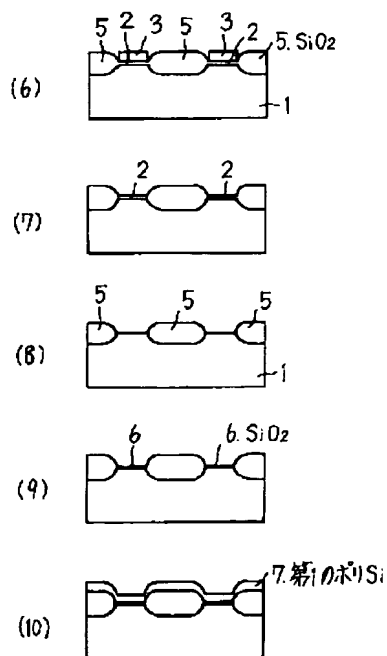
【図6】

従来例の説明図(1)



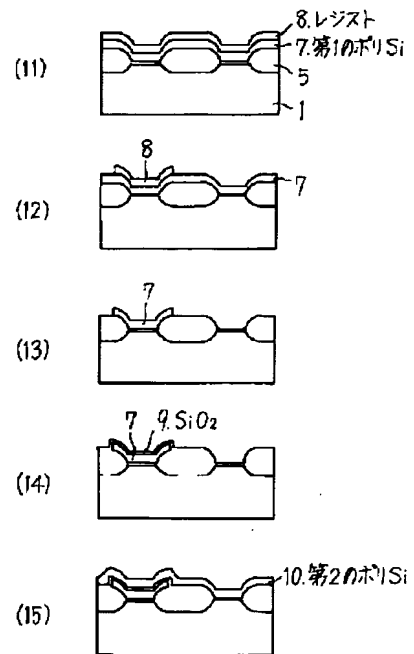
【図7】

従来例の説明図(2)



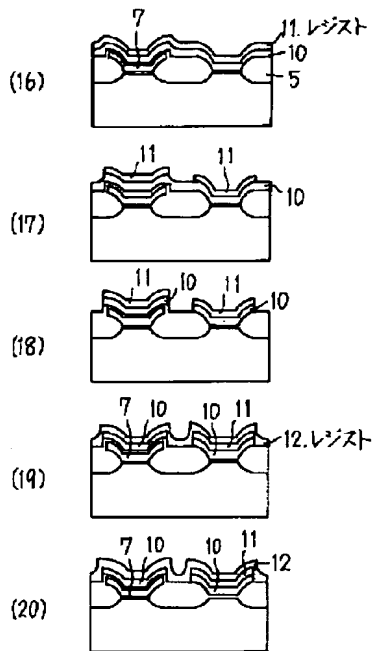
【図8】

従来例の説明図(3)



【図9】

従来例の説明図(4)



【図11】

従来例の説明図(6)

